

(2) Japanese Patent Application Laid-Open No. 2002-124649 (1996)

**“SEMICONDUCTOR INTEGRATED CIRCUIT AND METHOD OF
MANUFACTURING THE SAME”**

The following is an English translation of an extract of the above application.

5

As shown in Fig. 9, a silicon oxide film 24 is formed on a barrier layer 23 and a silicon nitride film 18.

Next, a hardmask 26 composed of a tungsten film is formed at an upper portion of the silicon oxide film 24.

10

Next, as shown in Fig. 10, a photoresist film (not shown) is formed on the hardmask 26, and then dry etching is performed on the hardmask 26 using the photoresist film as a mask. Thereafter, dry etching is performed on the silicon oxide film 24 and the silicon nitride film 18 using the hardmask 26 as a mask, thereby forming a deep hole 27 (concave portion). On a bottom surface of the deep hole 27 (concave portion), a surface of the barrier layer 23 existing in a through-hole 23 is exposed.

15

Next, after remaining hardmask 26 at the upper portion of the silicon oxide film 24 is removed using a solution containing hydrogen peroxide, a tantalum nitride film 29 is formed at the upper portion of the silicon oxide film 24 and inside the hole 27 as shown in Fig. 13.

20

Next, as shown in Fig. 14, a Ru film 30 (having a thickness of approximately 30 nm) is formed at an upper portion of the tantalum nitride film 29 by CVD method.

Next, heat treatment in the reducing atmosphere such as NH_3 atmosphere for 3 minutes at a temperature of 600 °C is performed. After that, heat treatment in the non-oxide atmosphere such as N_2 atmosphere for 2 minutes at a temperature of 750 °C is performed.

25

Next, after a photoresist film (not shown) is applied on the Ru film 30 and whole image exposure is carried out, the photoresist film (not shown) is left in the hole 27 by developing the photoresist film.

Next, dry etching is performed using the photoresist film as a mask to remove Ru films 30b and 30d on the silicon oxide film 24, thereby forming an lower electrode 30A. Thereafter, the photoresist film in the hole 27 is removed (Fig. 15).

Next, as shown in Fig. 16, a tantalum oxide film 32a is formed inside the hole 27 in which the lower electrode 30A is formed and on the silicon oxide film 24.

Next, as shown in Fig. 17, a tantalum oxide film 32b is further formed on the tantalum oxide film 32a.

Next, as shown in Fig. 18, an upper electrode 33 is formed at the upper portion of the tantalum oxide film 32b. The upper electrode 33 is formed by forming a Ru film 33a (having a thickness of approximately 70 nm) and a W film 33b (having a thickness of approximately 100 nm) at the upper portion of the tantalum oxide film 32b using CVD method, for example.

As described in detail above, according to the preferred embodiment, because heat treatment in the reducing atmosphere is performed, it is possible to remove oxygen and organic impurities which are incorporated into the Ru film, at the time of depositing the Ru film composing the lower electrode 30A. Furthermore, because heat treatment in the non-oxide atmosphere at a high temperature is performed, the Ru film 30 can be densified.

As a result, it becomes possible to prevent the barrier layer 23 from being oxidized due to the effects caused by oxygen in the Ru film 30, and thus to ensure continuity between the Ru film 30 and the barrier layer 23 (plug 22).

Moreover, concavity and convexity of the Ru film can be reduced by removing oxygen and organic impurities which are incorporated into the Ru film at the time of

deposition of the Ru film. Further, the Ru film can be flattened and densified owing to subsequent heat treatment in the non-oxide atmosphere at a high temperature.

As just described, because the Ru film is densified, the contraction and fluctuation of the Ru film during heat treatment can be prevented at the formation of the tantalum oxide
5 film to be formed at the upper portion of the Ru film, and consequently a reduction in distortion of the Ru film can be accomplished. As a consequence of this, a reduction in leakage current can be attained.

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2002-124649

(P 2 0 0 2 - 1 2 4 6 4 9 A)

(43)公開日 平成14年4月26日(2002.4.26)

(51)Int.Cl.⁷

H01L 27/108
21/8242

識別記号

F I

H01L 27/10

621
651

テマコード^{*} (参考)

C 5F083

審査請求 未請求 請求項の数5 O L (全18頁)

(21)出願番号 特願2000-317343(P 2000-317343)

(22)出願日 平成12年10月18日(2000.10.18)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 飯島 晋平

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72)発明者 山本 智志

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(74)代理人 100080001

弁理士 筒井 大和

Fターム(参考) 5F083 AD24 AD48 GA09 JA06 JA35

JA38 JA39 JA40 MA06 MA18

NA01 NA08 PR07 PR39 PR40

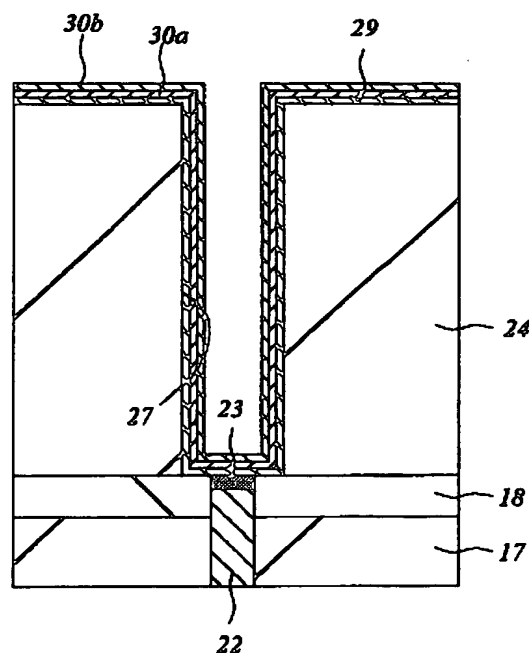
(54)【発明の名称】半導体集積回路装置およびその製造方法

(57)【要約】

【課題】 孔の内部に情報蓄積用容量素子の下部電極を構成するRu膜を精度良く形成することのできる技術を提供する。

【解決手段】 情報蓄積用容量素子が形成される深い孔27の側壁および底部に堆積すべき下部電極材料であるRu膜30aの成膜後に還元性雰囲気中で熱処理を施す。また、Ru膜を、Ru30aおよびRu30bの積層構造とする。その結果、Ru膜中の不純物を効果的に除去することができ、Ru膜の緻密化を図ることができる。

図 20



【特許請求の範囲】

【請求項 1】 (a) 半導体基板の主表面にメモリセル選択用 MISFET を形成する工程と、(b) 前記メモリセル選択用 MISFET のソース、ドレイン領域と電気的に接続されたプラグを形成する工程と、(c) 前記プラグ上に酸化シリコン膜を形成する工程と、(d) 前記酸化シリコン膜中に前記プラグ表面まで到達する孔を形成する工程と、(e) 前記孔の側壁および底部に、Ru 膜の堆積と、熱処理工程を繰り返すことにより Ru 膜の積層膜を形成する工程と、(f) 前記 Ru 膜の積層膜上に容量絶縁膜を形成する工程と、(g) 前記容量絶縁膜上に上部電極を形成する工程と、を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 2】 前記熱処理工程は、還元性雰囲気下での熱処理を含むことを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 3】 (a) 半導体基板の主表面にメモリセル選択用 MISFET を形成する工程と、(b) 前記メモリセル選択用 MISFET のソース、ドレイン領域と電気的に接続されたプラグを形成する工程と、(c) 前記プラグ上に酸化シリコン膜を形成する工程と、(d) 前記酸化シリコン膜中に前記プラグ表面まで到達する孔を形成する工程と、(e) 前記孔の側壁および底部に、Ru の有機化合物と酸化剤を反応させることによって Ru 膜を形成する工程と、(f) 前記 Ru 膜を還元性雰囲気下で熱処理する工程と、(g) 前記 Ru 膜上に容量絶縁膜を形成する工程と、(h) 前記容量絶縁膜上に上部電極を形成する工程と、を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 4】 (a) 半導体基板の主表面にメモリセル選択用 MISFET を形成する工程と、(b) 前記メモリセル選択用 MISFET のソース、ドレイン領域と電気的に接続されたプラグを形成する工程と、(c) 前記プラグ上に酸化シリコン膜を形成する工程と、(d) 前記酸化シリコン膜中に前記プラグ表面まで到達する孔を形成する工程と、(e) 前記孔の側壁および底部に、Ru の有機化合物と酸化剤を反応させることによって Ru 膜を形成する工程と、(f) 前記 Ru 膜に還元性雰囲気下での第 1 の熱処理と、非酸化性雰囲気下での第 2 の熱処理を施す工程と、(g) 前記 Ru 膜上に容量絶縁膜を形成する工程と、(h) 前記容量絶縁膜上に上部電極を形成する工程と、を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 5】 (a) 半導体基板の主表面に形成されたメモリセル選択用 MISFET と、(b) 前記メモリセル選択用 MISFET のソース、ドレイン領域と電気的に接続されたプラグと、(c) 前記プラグ上に形成された酸化シリコン膜と、(d) 前記酸化シリコン膜中に形成され、前記プラグ表面まで延在する孔であって、孔のその深さがその短径の 5 倍以上である孔と、(e) 前記

孔内に形成された下部電極であって、CVD 法で形成された Ru 膜の積層膜からなる下部電極と、この下部電極の上部に形成された容量絶縁膜と、この容量絶縁膜上部に形成された上部電極とからなる情報蓄積用容量素子と、を有することを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造方法に関し、特に、絶縁膜に形成した孔(凹部)の内部に MIM 構造(Metal-Insulator-Metal)の情報蓄積用容量素子を形成する構造およびその製造プロセスに適用して有効な技術に関する。

【0002】

【従来の技術】DRAM は、メモリセル選択用 MISFET とこの MISFET に直列に接続された情報蓄積用容量素子を有している。この情報蓄積用容量素子には、例えば、下部電極となるシリコン、容量絶縁膜となる酸化タンタルおよび上部電極となるシリコンを順次堆積して形成される。

【0003】また、この情報蓄積用容量素子は、素子の微細化を図り、また、ある程度の容量を確保するため、絶縁膜中に深い孔を形成し、この孔中に形成される。

【0004】

【発明が解決しようとする課題】しかしながら、下部電極にシリコンを用いる場合は、その上層に形成される酸化タンタルの結晶化や膜質の改善のための熱処理(酸性雰囲気中、800℃、3分)時に、シリコンと酸化タンタルとの界面にシリコン酸窒化膜が形成される。従って、酸化タンタルとこのシリコン酸窒化膜が誘電体として寄与するため、リーク電流は低く抑えられるものの、高誘電率化が困難であった。

【0005】また、素子の微細化に伴い、情報蓄積用容量素子が形成される孔の径が、さらに小さくなると孔側壁の凹凸状に結晶化したシリコン同士が接触してしまい、酸化タンタル等の上層膜を形成できなくなる。

【0006】本発明者らは、情報蓄積用容量素子を構成する下部電極材料についての研究・開発を行っており、上記問題を解決するための下部電極材料として、ルテニウム(Ru)の採用を検討している。

【0007】この Ru は、酸窒化膜のような低誘電率膜を生成せず、また、金属であるため薄く形成することが可能であると考えられる。

【0008】しかしながら、本発明者らが、下部電極として Ru 膜を検討した結果、リーク電流の発生や、導通不良などの不具合が見られた。

【0009】これらについて本発明者らが鋭意検討した結果、リーク電流の発生については、次のような原因が考えられた。

【0010】追って詳細に説明するように、Ru 膜は、Ru の有機化合物を原料として、酸化剤と反応させるこ

とにより成膜される。このため、Ru膜中には、有機物や酸素がRu膜中に取り込まれる。その結果、Ru膜は、緻密性に乏しく、また、その表面に凹凸を有する。

【0011】このようなRu膜上に、酸化タンタル膜等の容量絶縁膜を形成し、酸化タンタルの結晶化および膜質の改善のために熱処理を施すと、Ru膜が、収縮、変動し、上層の酸化タンタル膜に歪みをもたらす。その結果、リーク電流が生ずると考えられる。

【0012】また、導通不良については、Ru膜中の酸素が、メモリセル選択用MISFETとRu膜（情報蓄積用容量素子の下部電極）とを接続するためのプラグ中に拡散し、このプラグ表面に酸化物（絶縁物）が形成されることが原因と考えられる。

【0013】本発明の目的は、孔の内部に情報蓄積用容量素子の下部電極を構成するRu膜を精度良く形成することのできる技術を提供することにある。

【0014】本発明の他の目的は、良好なRu膜を形成することによりその上層に形成される容量絶縁膜の特性の向上、ひいては、情報蓄積用容量素子の特性の向上を図ることができる技術を提供することにある。

【0015】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものを説明すれば、次のとおりである。1. 本発明の半導体集積回路装置の製造方法は、

(a) 半導体基板の主表面にメモリセル選択用MISFETを形成する工程と、(b) 前記メモリセル選択用MISFETのソース、ドレイン領域と電気的に接続されたプラグを形成する工程と、(c) 前記プラグ上に酸化シリコン膜を形成する工程と、(d) 前記酸化シリコン膜中に前記プラグ表面まで到達する孔を形成する工程と、(e) 前記孔の側壁および底部に、Ru膜の堆積と、熱処理工程を繰り返すことによりRu膜の積層膜を形成する工程と、(f) 前記Ru膜の積層膜上に容量絶縁膜を形成する工程と、(g) 前記容量絶縁膜上に上部電極を形成する工程と、を有する。2. 前記熱処理工程は、還元性雰囲気下での熱処理を含む。3. また、本発明の半導体集積回路装置の製造方法は、(a) 半導体基板の主表面にメモリセル選択用MISFETを形成する工程と、(b) 前記メモリセル選択用MISFETのソース、ドレイン領域と電気的に接続されたプラグを形成する工程と、(c) 前記プラグ上に酸化シリコン膜を形成する工程と、(d) 前記酸化シリコン膜中に前記プラグ表面まで到達する孔を形成する工程と、(e) 前記孔の側壁および底部に、Ruの有機化合物と酸化剤を反応させることによってRu膜を形成する工程と、(f) 前記Ru膜を還元性雰囲気下で熱処理する工程と、(g) 前記Ru膜上に容量絶縁膜を形成する工程と、(h) 前

記容量絶縁膜上に上部電極を形成する工程と、を有する。

4. また、本発明の半導体集積回路装置の製造方法は、(a) 半導体基板の主表面にメモリセル選択用MISFETを形成する工程と、(b) 前記メモリセル選択用MISFETのソース、ドレイン領域と電気的に接続されたプラグを形成する工程と、(c) 前記プラグ上に酸化シリコン膜を形成する工程と、(d) 前記酸化シリコン膜中に前記プラグ表面まで到達する孔を形成する工程と、(e) 前記孔の側壁および底部に、Ruの有機化合物と酸化剤を反応させることによってRu膜を形成する工程と、(f) 前記Ru膜に還元性雰囲気下での第1の熱処理と、非酸化性雰囲気下での第2の熱処理を施す工程と、(g) 前記Ru膜上に容量絶縁膜を形成する工程と、(h) 前記容量絶縁膜上に上部電極を形成する工程と、を有する。5. 本発明の半導体集積回路装置は、

(a) 半導体基板の主表面に形成されたメモリセル選択用MISFETと、(b) 前記メモリセル選択用MISFETのソース、ドレイン領域と電気的に接続されたプラグと、(c) 前記プラグ上に形成された酸化シリコン膜と、(d) 前記酸化シリコン膜中に形成され、前記プラグ表面まで延在する孔であって、孔のその深さがその短径の5倍以上である孔と、(e) 前記孔内に形成された下部電極であって、Ru膜の積層膜からなる下部電極と、この下部電極の上部に形成された容量絶縁膜と、この容量絶縁膜上部に形成された上部電極とからなる情報蓄積用容量素子と、を有する。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0018】(実施の形態1) 以下、本実施形態のDRAMの製造方法を図1～図18を用いて工程順に説明する。

【0019】まず、図1に示すように、例えばp型の単結晶シリコンからなる半導体基板（ウエハ）1の主面の素子分離領域に素子分離2を形成する。また、この素子分離2を形成することにより、図2に示すような、素子分離2によって周囲を囲まれた細長い島状の活性領域

(L)が同時に形成される。これらの活性領域(L)のそれぞれには、ソース、ドレインの一方を共有するメモリセル選択用MISFETQsが2個ずつ形成される。

【0020】上記素子分離2は、半導体基板1の表面をエッチングして深さ300～400nm程度の溝を形成し、この溝の内部に薄い酸化シリコン膜を形成する。続いてこの溝の内部を含む半導体基板1上にCVD(Chemical Vapor Deposition)法で酸化シリコン膜4（膜厚600nm程度）を堆積した後、酸化シリコン膜4を化学機械研磨(Cheical Mechanical Polishing;CMP)法でポリッシュバックすることによって形成する。

【0021】次に、半導体基板1にB（ホウ素）をイオン打ち込みすることによってp型ウエル3を形成し、続いてp型ウエル3の表面をHF（フッ酸）系の洗浄液で洗浄した後、半導体基板1を熱酸化することによってp型ウエル3（活性領域L）の表面に、膜厚6nm程度のゲート絶縁膜5を形成する。

【0022】次に、図3に示すように、ゲート絶縁膜5の上部にゲート電極6を形成する。ゲート電極6は、例えばゲート絶縁膜5の上部にP（リン）などをドーブしたn型多結晶シリコン膜（膜厚70nm程度）、WN（窒化タングステン）またはTiN（窒化チタン）からなるバリアメタル膜（膜厚5nm～10nm程度）、W膜（膜厚100nm程度）および窒化シリコン膜7（膜厚150nm程度）を順次堆積した後、フォトリソグラフ膜をマスクにしてこれらの膜をドライエッチングすることによって形成する。多結晶シリコン膜および窒化シリコン膜7はCVD法で堆積し、バリアメタル膜およびW膜はスパッタリング法で堆積する。ゲート電極6は、ワード線（WL）として機能する。次いで、ウェット・ハイドレゲン酸化を行い、ゲート電極6を構成するn型多結晶シリコン膜の側壁に、薄いシリコン酸化膜を形成する。このウェット・ハイドレゲン酸化によれば、シリコン上のみに選択的に酸化膜を形成することができる。

【0023】次に、p型ウエル3にAs（ヒ素）またはP（リン）をイオン打ち込みしてゲート電極6の両側のp型ウエル3にn型半導体領域8（ソース、ドレイン）を形成する。ここまでの工程により、メモリセル選択用MISFETQsが略完成する。

【0024】次に、図4に示すように、半導体基板1上にCVD法で窒化シリコン膜9（膜厚50nm）および酸化シリコン膜10（膜厚600nm程度）を堆積する。続いて酸化シリコン膜10の表面を化学機械研磨法で平坦化した後、フォトリソグラフ膜（図示せず）をマスクにして酸化シリコン膜10および窒化シリコン膜9をドライエッチングすることにより、メモリセル選択用MISFETQsのn型半導体領域8（ソース、ドレイン）の上部にコンタクトホール11、12を形成する。酸化シリコン膜10のエッチングは、窒化シリコン膜に対する選択比が大きい条件で行い、窒化シリコン膜9のエッチングは、シリコンや酸化シリコン膜に対するエッチング選択比が大きい条件で行う。これにより、コンタクトホール11、12がゲート電極6（ワード線）に対して自己整合（セルフアライン）で形成される。

【0025】次に、図5に示すように、コンタクトホール11、12の内部にプラグ13を形成する。プラグ13を形成するには、酸化シリコン膜10の上部にPをドーブしたn型多結晶シリコン膜をCVD法で堆積することによって、コンタクトホール11、12の内部にこのn型多結晶シリコン膜を埋め込んだ後、コンタクトホール11、12の外部のn型多結晶シリコン膜を化学機械

研磨法（またはエッチバック）で除去する。

【0026】次に、酸化シリコン膜10の上部にCVD法で酸化シリコン膜14（膜厚150nm程度）を堆積した後、フォトリソグラフ膜（図示せず）をマスクにしてコンタクトホール11の上部の酸化シリコン膜14をドライエッチングすることにより、スルーホール15を形成する。

【0027】次に、スルーホール15の内部にプラグ16を形成する。プラグ16を形成するには、酸化シリコン膜14の上部に例えばスパッタリング法でTi膜とTiN膜との積層膜からなるバリアメタル膜を堆積し、続いてバリアメタル膜の上部にCVD法でW膜を堆積することによって、スルーホール15の内部にこれらの膜を埋め込んだ後、スルーホール15の外部のこれらの膜を化学機械研磨法で除去する。このプラグ16および13を介して、メモリセル選択用MISFETQsのn型半導体領域8（ソース、ドレイン）と後述するビット線BLとが接続される。

【0028】次に、酸化シリコン膜14およびプラグ16上にビット線BLを形成する。ビット線BLを形成するには、例えば酸化シリコン膜14の上部にスパッタリング法でTiN膜（膜厚10nm程度、図示せず）を堆積し、続いてTiN膜の上部にCVD法でW膜（膜厚50nm程度）を堆積した後、フォトリソグラフ膜（図示せず）をマスクにしてこれらの膜をドライエッチングする。

【0029】次に、図6に示すように、ビット線BLの上部にCVD法で酸化シリコン膜17（膜厚300nm程度）を堆積し、続いて化学機械研磨法でその表面を平坦化する。次に、酸化シリコン膜17の上部にCVD法で窒化シリコン膜18（膜厚50nm程度）を堆積し、続いて窒化シリコン膜18および酸化シリコン膜17をドライエッチングすることによって、プラグ13が埋め込まれたコンタクトホール12の上部にスルーホール19を形成する。

【0030】スルーホール19は、その径がその下部のコンタクトホール12の径よりも小さくなるように形成する。具体的には、窒化シリコン膜18の上部にCVD法で多結晶シリコン膜20を堆積し、続いてスルーホール19を形成する領域の多結晶シリコン膜20をドライエッチングして孔を形成した後、多結晶シリコン膜20の上部にさらに多結晶シリコン膜（図示せず）を堆積する。次に、多結晶シリコン膜20の上部の多結晶シリコン膜を異方性エッチングすることによって孔の側壁にサイドウォールスペーサ21を形成し、続いて多結晶シリコン膜20とサイドウォールスペーサ21とをハードマスクに用いて孔の底面の窒化シリコン膜18および酸化シリコン膜17をドライエッチングする。

【0031】次に、多結晶シリコン膜20およびサイドウォールスペーサ21をドライエッチングで除去した

後、図7に示すように、スルーホール19の内部にプラグ22を形成する。プラグ22を形成するには、まず窒化シリコン膜18の上部にPをドーブしたn型多結晶シリコン膜をCVD法で堆積することによってスルーホール19の内部にn型多結晶シリコン膜を埋め込んだ後、スルーホール19の外部のn型多結晶シリコン膜を化学機械研磨法（またはエッチバック）で除去する。

【0032】この後、プラグ22上に、Ru膜からなる下部電極30A、酸化タンタル膜32からなるキャパシタ絶縁膜（容量絶縁膜）およびW膜/Ru膜からなる上

部電極33によって構成される情報蓄積用容量素子Cを形成する。

【0033】この情報蓄積用容量素子Cの形成までの工程を、図8～図18を参照しながら詳細に説明する。これらの図は、プラグ22上の情報蓄積用容量素子Cの形成予定領域を模式的に表した図である。

【0034】図8に示すように、プラグ22の表面にバリア層23を形成する。バリア層23を形成するには、まず、エッチングによってプラグ22の表面を窒化シリコン膜18の表面よりも下方に後退させることによって、プラグ22の上部にバリア層23を埋め込むスペースを確保する。次に、窒化シリコン膜18の上部にスパッタリング法で窒化タンタル膜を堆積することによって、プラグ22の上部の前記スペース内に窒化タンタル膜を埋め込んだ後、スペース外部の窒化タンタル膜を化学機械研磨法（またはエッチバック）で除去する。なお、プラグ22の形成時、即ち、窒化シリコン膜18の上部にPをドーブしたn型多結晶シリコン膜をCVD法で堆積することによってスルーホール19の内部にn型多結晶シリコン膜を埋め込んだ後、スルーホール19の外部のn型多結晶シリコン膜を化学機械研磨法（またはエッチバック）で除去する際に、スルーホール19の内部のn型多結晶シリコン膜をオーバー研磨（オーバーエッチング）することによって、前記スペースを確保してもよい。また、バリア層23をTiN膜としてもよい。また、バリア層23とプラグ22との界面に金属シリサイドを形成してもよい。この金属シリサイドにより接触抵抗の低減を図ることができる。この金属シリサイドは、例えば、次のように形成する。まず、窒化タンタルの堆積前に、前記スペース内にTi膜等の金属膜を形成し、熱処理することによりプラグ22表面に金属シリサイドを形成する。次いで、未反応の金属膜を除去し、金属シリサイド上に窒化タンタル膜からなるバリア層23を形成する。

【0035】次いで、図9に示すように、バリア層23および窒化シリコン膜18上に、酸化シリコン膜24を堆積する。情報蓄積用容量素子Cの下部電極は、この酸化シリコン膜24に形成する孔（凹部）の内部に形成される。下部電極の表面積を大きくして蓄積電荷量を増やすためには、酸化シリコン膜24を厚く（0.8μm程

度）で堆積する必要がある。酸化シリコン膜24は、例えば酸素とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積し、その後、必要に応じてその表面を化学機械研磨法で平坦化する。

【0036】次に、酸化シリコン膜24の上部にタングステン膜からなるハードマスク26を形成する。なお、このハードマスク26には、タングステン以外の金属を用いることも可能である。

【0037】次いで、図10に示すように、ハードマスク26上に、フォトレジスト膜（図示せず）を形成し、このフォトレジスト膜をマスクに、ハードマスク26をドライエッチングする。続いて、ハードマスク26をマスクに酸化シリコン膜24および窒化シリコン膜18をドライエッチングすることにより、深い孔（凹部）27を形成する。深い孔（凹部）27の底面には、スルーホール19内のバリア層23の表面が露出する。

【0038】次に、酸化シリコン膜24の上部に残ったハードマスク26を過酸化水素水を含有する溶液により除去した後、図11に示すように、酸化シリコン膜24の上部および孔27の内部に、CVD法により酸化タンタル膜28（膜厚5nm程度）を堆積する。この酸化タンタル膜28は、Ta（OC₂H₅）₅とO₂を原料ガスとして400℃～450℃の範囲で成膜することができる。この酸化タンタル膜28は、下地である酸化シリコン膜24や、後述するRu膜30との接着性に優れているため、接着層として用いられる。

【0039】次いで、図12に示すように、酸化タンタル膜28を、異法的にエッチングすることにより、酸化シリコン膜24上部および孔27の底部に存在する酸化タンタル膜28を除去し、孔27の側壁にのみ酸化タンタル膜28を残存させる。なお、前述の接着層として、窒化タンタル膜を用いてもよい。この窒化タンタル膜29を接着層として用いた場合は、窒化タンタルが導電性を有するため、孔27の底部に存在する窒化タンタル膜を除去する必要はない。図13は、酸化シリコン膜24の上部および孔27の内部に、窒化タンタル膜29（膜厚5nm程度）を堆積した場合を示す。この窒化タンタル膜29は、CVD法により酸化タンタル膜28（膜厚5nm程度）を堆積した後、NH₃雰囲気下、700℃で、3分間熱処理を施し、酸化タンタルを窒化タンタルに変換することにより形成する。以降の工程は、この窒化タンタル膜29を接着層として用いた場合について説明するが、酸化タンタル膜28を接着層として用いた場合も同様である。

【0040】次に、図14に示すように、窒化タンタル膜29の上部に、CVD法によりRu膜30（膜厚30nm程度）を堆積する。このCVD法によるRu膜の堆積前に、スパッタ法により薄いRu膜を形成しておけば、スパッタ法により形成された膜が種となり、CVD法によるRu膜30を効率良く形成することができる。

このRu膜30は、エチルシクロペンタジエニルルテニウム ($\text{Ru}(\text{C}_5\text{H}_5\text{C}_5\text{H}_4)_2$) のテトラヒドロフラン溶液等のRuの有機化合物溶液を気化し、 O_2 と反応させることにより成膜する。

【0041】次いで、 NH_3 雰囲気等の還元性雰囲気中で600℃、3分間の熱処理を施す。次いで、 N_2 雰囲気等の非酸化性雰囲気中で750℃で、2分間の熱処理を施す。

【0042】このように、本実施の形態においては、還元性雰囲気中で熱処理を行ったので、Ru膜の成膜時にRu膜中に取り込まれた酸素や有機不純物を取り除くことができる。また、還元性雰囲気中で熱処理の後、さらに、高温の非酸化性雰囲気中で熱処理を行ったので、Ru膜の緻密化を行うことができる。

【0043】次いで、Ru膜30上にフォトレジスト膜（図示せず）を塗布し、全面露光を行った後、現像することによって、孔27内にフォトレジスト膜（図示せず）を残存させる。このフォトレジスト膜は、次の工程で酸化シリコン膜24の上部の不要なRu膜30をドライエッチングで除去する際に、孔27の内部（側壁および底面）のRu膜30が除去されるのを防ぐ保護膜として使用される。次いで、このフォトレジスト膜をマスクに、ドライエッチングをすることにより、酸化シリコン膜24上のRu膜30b、30dを除去することにより、下部電極30Aを形成する。次いで、孔27内のフォトレジスト膜を除去する（図15）。

【0044】次に、図16に示すように、下部電極30Aが形成された孔27の内部および酸化シリコン膜24上にキャパシタ絶縁膜となる酸化タンタル膜32aを堆積する。酸化タンタル膜32aはペンタエトキシタンタル ($\text{Ta}(\text{OC}_2\text{H}_5)_5$) と酸素を原料としたCVD法で堆積し、成膜温度は420℃である。また、その膜厚は5nm程度とする。その後、非酸化性雰囲気中で700℃、2分間の熱処理を施し、酸化タンタルを結晶化させる。

【0045】次に、図17に示すように、酸化タンタル膜32a上に、さらに、酸化タンタル膜32bを堆積する。この酸化タンタル膜32bも酸化タンタル膜32aと同様の条件で堆積し、その膜厚は10nm程度とする。ここで、酸化タンタル膜32bは、その下地である酸化タンタル膜32aが、既に結晶化しているため、CVD法による成膜時に結晶化しているため、結晶化のための熱処理を省略することができる。

【0046】次に、酸化タンタル膜32a、32bを約550℃の酸化性雰囲気中で、1分間熱処理することによって酸化タンタルのリーク電流の低減を図る。

【0047】次に、図18に示すように、酸化タンタル膜32bの上部に上部電極33を形成する。上部電極33は、例えば酸化タンタル膜32bの上部にCVD法でRu膜33a（膜厚70nm程度）およびW膜33b

（膜厚100nm程度）を堆積することによって形成する。W膜33bは、上部電極33と上層配線とのコンタクト抵抗を低減するために使用される。なお、Ru膜33aとW膜33bとの間に、キャパシタ絶縁膜（酸化タンタル膜32）からW膜へのガス（酸素や水素）の拡散による抵抗増大を防ぐためにTiN膜を形成してもよい。

【0048】ここまでの工程により、Ru膜30からなる下部電極30A、酸化タンタル膜32（32a、32b）からなるキャパシタ絶縁膜およびW膜33b/Ru膜33aからなる上部電極32によって構成される情報蓄積用容量素子Cが完成し、メモリセル選択用MISFETQsとこれに直列に接続された情報蓄積用容量素子Cとで構成されるDRAMのメモリセルが略完成する。図47は、情報蓄積用容量素子C形成後の半導体集積回路装置の平面図である。図7は、例えば、図47中のA-A部の断面図と対応する。

【0049】その後、情報蓄積用容量素子Cの上部に酸化シリコン膜等からなる層間絶縁膜34が形成され、さらに、この層間絶縁膜上に2層程度のA1配線が形成され、最上層のA1配線の上部にパッシベーション膜が形成されるが、これらの図示は省略する。

【0050】以上詳述したように、本実施形態によれば、還元性雰囲気中で熱処理を行ったので、下部電極30Aを構成するRu膜の成膜時にRu膜中に取り込まれた酸素や有機不純物を取り除くことができる。さらに、還元性雰囲気中で熱処理の後、さらに、高温の非酸化性雰囲気中で熱処理を行ったので、Ru膜30の緻密化を行うことができる。

【0051】その結果、Ru膜30と接触しているバリア層23が、Ru膜30中の酸素の影響により酸化されるのを防止することができ、Ru膜30とバリア層23（プラグ22）との導通を確保することができる。

【0052】また、Ru膜の成膜時にRu膜中に取り込まれた酸素や有機不純物を取り除くことによりRu膜の凹凸を緩和することができ、さらに、その後の高温の非酸化性雰囲気中で熱処理により、Ru膜の平坦化および緻密化を行うことができる。

【0053】このように、Ru膜が緻密化していることで、その上部に形成される酸化タンタルの形成時の熱処理時のRu膜の収縮、変動を防止することができ、酸化タンタル膜の歪みを低減することができる。その結果、リーク電流の低減を図ることができる。

【0054】（実施の形態2）以下、本実施形態のDRAMの製造方法を図19～図26を用いて工程順に説明する。

【0055】図19は、本発明の実施の形態2である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。なお、図中の窒化タンタル膜29（接着層）形成工程までは、図1～図14までを参照しながら

説明した実施の形態 1 の場合と同様と同様であるためその説明を省略する。

【0056】図 19 に示すように、窒化タンタル膜 29 上に、CVD 法により Ru 膜 30a (膜厚 10 nm 程度) を堆積する。この CVD 法による Ru 膜の堆積前に、スパッタ法により薄い Ru 膜を形成しておけば、スパッタ法により形成された膜が種となり、CVD 法による Ru 膜を効率良く形成することができる。この Ru 膜は、エチルシクロペンタジエニルルテニウム ($\text{Ru}(\text{C}_5\text{H}_5)_2$) のテトラヒドロフラン溶液等の Ru の有機化合物溶液を気化し、 O_2 と反応させることにより成膜する。次いで、 NH_3 雰囲気等の還元性雰囲気中で 600℃、3 分間の熱処理を施す。

【0057】次に、図 20 に示すように、Ru 膜 30a 上に、さらに、Ru 膜 30a と同様の成膜条件で、Ru 膜 30b (膜厚 20 nm 程度) を堆積する。次いで、非酸化性雰囲気中で 750℃、2 分間の熱処理を施す。この、熱処理の前に、 NH_3 雰囲気等の還元性雰囲気中で 600℃、3 分間の熱処理を施してもよい。

【0058】このように、本実施の形態においては、Ru 膜を Ru 30a および Ru 30b の積層構造 (Ru 膜 30) とし、Ru 膜 30a、30b それぞれの成膜後に熱処理を施したので、Ru 膜中の不純物を効果的に除去することができる。その結果、Ru 膜の緻密化を図ることができる。

【0059】次いで、Ru 膜 30b 上にフォトレジスト膜 (図示せず) を塗布し、全面露光を行った後、現像することによって、孔 27 内にフォトレジスト膜 (図示せず) を残存させる。このフォトレジスト膜は、次の工程で酸化シリコン膜 24 の上部の不要な Ru 膜 30a、30b および窒化タンタル膜 29 をドライエッチングで除去する際に、孔 27 の内部 (側壁および底面) の Ru 膜 30 (30a、30b) が除去されるのを防ぐ保護膜として使用される。次いで、図 21 に示すように、このフォトレジスト膜をマスクに、ドライエッチングをすることにより、酸化シリコン膜 24 上の Ru 膜 30a、30b を除去することにより下部電極 30A を形成する。次いで、孔 27 内のフォトレジスト膜を除去する。

【0060】この後、実施の形態 1 の場合と同様に、情報蓄積用容量素子 C を完成させることができる (図 16 ~ 図 18 参照)。

【0061】また、以下の工程により情報蓄積用容量素子 C を形成することもできる。

【0062】図 22 に示すように、Ru 膜 30 上にキャパシタ絶縁膜となる酸化タンタル膜 32a を堆積する。酸化タンタル膜 32a はペンタエトキシタンタル ($\text{Ta}(\text{OC}_2\text{H}_5)_5$) と酸素を原料とした CVD 法で堆積し、成膜温度は 420℃ である。また、その膜厚は 5 nm 程度とする。その後、 NH_3 雰囲気等の還元性雰囲気中で 700℃、2 分間の熱処理を施す。この際、酸化タ

ンタル膜 32a は、窒化タンタル膜 232a となる。

(図 23)。このように、本実施の形態においては、酸化タンタル膜 32a 形成後、還元性雰囲気中で熱処理を行ったので、酸化タンタル膜 32a の成膜時に Ru 膜中に取り込まれた酸素を取り除くことができる。

【0063】次いで、窒化タンタル膜 232a 上にフォトレジスト膜 (図示せず) を塗布し、全面露光を行った後、現像することによって、孔 27 内にフォトレジスト膜 (図示せず) を残存させる。次いで、図 24 に示すように、このフォトレジスト膜をマスクに、ドライエッチングをすることにより、酸化シリコン膜 24 上の Ru 膜 30 および窒化タンタル膜 232a を除去することにより下部電極 30A を形成する。次いで、孔 27 内のフォトレジスト膜を除去する (図 24)。

【0064】次に、図 25 に示すように、下部電極 30A および窒化タンタル膜 232a が形成された孔 27 の内部および酸化シリコン膜 24 上にキャパシタ絶縁膜となる酸化タンタル膜 32 を堆積する。酸化タンタル膜 32 はペンタエトキシタンタル ($\text{Ta}(\text{OC}_2\text{H}_5)_5$) と酸素を原料とした CVD 法で堆積し、成膜温度は 420℃ である。また、その膜厚は 15 nm 程度とする。その後、非酸化性雰囲気中で 700℃、2 分間の熱処理を施し、酸化タンタルを結晶化させる。

【0065】次に、図 26 に示すように、酸化タンタル膜 32 の上部に上部電極 33 を形成する。上部電極 33 は、例えば酸化タンタル膜 32 の上部に CVD 法で Ru 膜 33a (膜厚 70 nm 程度) および W 膜 33b (膜厚 100 nm 程度) を堆積することによって形成する。W 膜 33b は、上部電極 33 と上層配線とのコンタクト抵抗を低減するために使用される。なお、Ru 膜 33a と W 膜 33b との間に、キャパシタ絶縁膜 (酸化タンタル膜 32) から W 膜へのガス (酸素や水素) の拡散による抵抗増大を防ぐために TiN 膜を形成してもよい。

【0066】ここまでの工程により、Ru 膜 30 からなる下部電極 30A、酸化タンタル膜 32 からなるキャパシタ絶縁膜および W 膜 / Ru 膜 からなる上部電極 33 によって構成される情報蓄積用容量素子 C が完成し、メモリセル選択用 MISFETQs とこれに直列に接続された情報蓄積用容量素子 C とで構成される DRAM のメモリセルが略完成する。

【0067】その後、情報蓄積用容量素子 C の上部に酸化シリコン膜等からなる層間絶縁膜 34 が形成され、さらに、この層間絶縁膜上に 2 層程度の Al 配線が形成され、最上層の Al 配線の上部にパッシベーション膜が形成されるがこれらの図示は省略する。

【0068】以上詳述したように、本実施形態によれば、Ru 膜を Ru 30a および Ru 30b の積層構造 (Ru 膜 30) とし、Ru 膜 30a、30b それぞれの成膜後に熱処理を施したので、Ru 膜中の不純物を効果的に除去することができる。その結果、Ru 膜の緻密化

を図ることができる。

【0069】従って、実施の形態1の場合と同様に、Ru膜と接触しているバリア層23が、Ru膜中の酸素の影響により酸化されるのを防止することができ、Ru膜30とバリア層23（プラグ22）との導通を確保することができる。

【0070】また、Ru膜30が緻密化しているので、その上部に形成される酸化タンタル膜32の形成時の熱処理時のRu膜30（30A）の収縮、変動を防止することができ、酸化タンタル膜32の歪みを低減することができる。その結果、リーク電流の低減を図ることができる。

【0071】さらに、酸化タンタル膜32a形成後、還元性雰囲気中で熱処理を行ったので、酸化タンタル膜32aの成膜時にRu膜中に取り込まれた酸素を取り除くことができ、この酸素の影響による導通不良を低減し、また、より凹凸の少ない酸化タンタル膜32を形成することができる。

【0072】（実施の形態3）実施の形態1では、プラグ22の表面に窒化タンタルや窒化チタンからなるバリア層23を形成した後、深い孔27を形成したが、この深い孔27を形成した後、プラグ22上面にバリア層となるルテニウムシリコンナイトライド（RuSiN）323aを形成してもよい。

【0073】以下、本実施形態のDRAMの製造方法を図27～図36を用いて工程順に説明する。

【0074】図27は、本発明の実施の形態3である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。なお、図中のプラグ22形成工程までは、図1～図7までを参照しながら説明した実施の形態1の場合と同様であるためその説明を省略する。なお、本実施の形態では、プラグ22が埋め込まれる絶縁膜は、酸化シリコン膜17一層となっている。

【0075】図27に示すように、プラグ22および酸化シリコン膜17上に、窒化シリコン膜318、酸化シリコン膜24および酸化タンタル膜28aを堆積する。情報蓄積容量素子Cの下部電極は、次の工程でこの窒化シリコン膜318および酸化シリコン膜24に形成する孔（凹部）の内部に形成される。下部電極の表面積を大きくして蓄積電荷量を増やすためには、酸化シリコン膜24を厚く（0.8μm程度）で堆積する必要がある。酸化シリコン膜24は、例えば酸素とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積し、その後、必要に応じてその表面を化学機械研磨法で平坦化する。

【0076】次に、酸化タンタル膜28aの上部にタングステン膜からなるハードマスク26を形成する。なお、このハードマスク26には、タングステン以外の金属を用いることも可能である。

【0077】次いで、図28に示すように、ハードマス

ク26上に、フォトレジスト膜（図示せず）を形成し、このフォトレジスト膜をマスクに、ハードマスク26をドライエッチングする。続いて、ハードマスク26をマスクに酸化タンタル膜28a、酸化シリコン膜24および窒化シリコン膜18をドライエッチングすることにより、深い孔（凹部）27を形成する。深い孔（凹部）27の底面には、スルーホール19内のプラグ22の表面が露出する。次に、酸化タンタル膜28aの上部に残ったハードマスク26を過酸化水素水を含有する溶液により除去した後、図29に示すように、酸化タンタル膜28aの上部および孔27の内部に、CVD法により酸化タンタル膜28b（膜厚5nm程度）を堆積する。この酸化タンタルは、Ta（OC₂H₅）₅とO₂を原料ガスとして400℃～450℃の範囲で成膜することができる。この酸化タンタル膜28aは、下地である酸化シリコン膜24や、後述するRu膜30aとの接着性に優れているため、接着層として用いられる。次いで、図30に示すように、酸化タンタル膜28bを、異方的にエッチングすることにより、酸化タンタル膜28a上部および孔27の底部に存在する酸化タンタル膜28bを除去し、孔27の側壁にのみ酸化タンタル膜28bを残存させる。

【0078】次に、図31に示すように、深い孔（凹部）27内を含む酸化タンタル膜28a、28bの上部に、Ru膜30a（膜厚5nm程度）を堆積する。このRu膜30aは、エチルシクロペンタジエニルルテニウム（Ru（C₅H₅）₂）のテトラヒドロフラン溶液等のRuの有機化合物溶液を気化し、O₂と反応させることにより成膜する。このCVD法によるRu膜の堆積前に、スパッタ法により薄いRu膜を形成しておけば、スパッタ法により形成された膜が種となり、CVD法によるRu膜を効率良く形成することができる。

【0079】図32に示すように、非酸化性雰囲気中で、600℃、1分の熱処理を施す。この熱処理により、プラグ22とRu膜30aとの接触部において、シリサイド化反応が起こり、孔27の底部にルテニウムシリサイド323が形成される。ここで、孔27の側壁や孔27の外部においては、下地にシリコンがないためシリサイド化反応が起こらず、ルテニウムシリサイドは形成されない。このように、孔27の底面において、自己整合的にルテニウムシリサイド323を形成することができる。

【0080】その後、NH₃雰囲気中で、600℃で3分熱処理を施すことにより、ルテニウムシリサイド323の表面に、ルテニウムシリコンナイトライド（RuSiN）323aを形成する。かかる条件により形成されるRuSiNは、1nm程度である。このRuSiNの膜厚は、熱処理温度で制御することができる。このRuSiNの膜が厚すぎるとこの上部に形成されるRu膜30bとプラグ22（ルテニウムシリサイド323）との

導通が確保できなくなり、また、薄すぎるRu膜30bとプラグ22とのシリサイド化反応を抑えることがなくなる。Ru膜30bとプラグ22との導通を確保しつつRu膜30bとプラグ22とのシリサイド化反応を抑えるためには、RuSiNの膜厚は、0.5~1.0nm程度とすることが望ましい。

【0081】次いで、非酸化性雰囲気中で750℃、1分間の熱処理を施し、未反応のRu膜30aの緻密化を行う。

【0082】次に、図33に示すように、Ru膜30aおよびRuSiN323a上に、さらに、Ru膜30aと同様の条件下で、膜厚20nm程度のRu膜30bを形成する。このRu膜30bは、不純物の含有量が少なく、緻密化されたRu膜30a上に形成されるため、Ru膜30bの緻密化のための熱処理（例えば、非酸化性雰囲気中で750℃、2分間の熱処理）を省略することが可能である。ただし、本実施の形態においては、結晶化の種とならないRuSiN323a上にもRu膜30bが形成されるため、前述の緻密化のための熱処理を施した方がよい。

【0083】このように、本実施の形態においては、孔27の底面において、自己整合的にルテニウムシリサイド323を形成することができ、また、Ru膜をRu30aおよびRu30bの積層構造とし、Ru膜30a、30bそれぞれの成膜後に熱処理を施したので、Ru膜中の不純物を効果的に除去することができる。その結果、Ru膜（30A）の緻密化を図ることができる。

【0084】次いで、Ru膜30b上にフォトレジスト膜（図示せず）を塗布し、全面露光を行った後、現像することによって、孔27内にフォトレジスト膜（図示せず）を残存させる。このフォトレジスト膜は、次の工程で酸化タンタル膜28aの上部の不要なRu膜30b、30dをドライエッチングで除去する際に、孔27の内部（側壁および底面）のRu膜30b、30dが除去されるのを防ぐ保護膜として使用される。次いで、このフォトレジスト膜をマスクに、ドライエッチングをすることにより、酸化タンタル膜28a上のRu膜30b、30dを除去することにより下部電極30Aを形成する。次いで、孔27内のフォトレジスト膜を除去する（図34）。

【0085】次に、図35に示すように、下部電極30Aが形成された孔27の内部および酸化シリコン膜24上にキャパシタ絶縁膜となる酸化タンタル膜32を堆積する。酸化タンタル膜32はCVD法で堆積し、その膜厚は15nm程度とする。

【0086】次に、酸化タンタル膜32を約700℃の窒素雰囲気中で、2分間熱処理することによって酸化タンタルの結晶化を図った後、約550℃の酸素雰囲気中で、1分間熱処理し、酸化タンタルの膜質を改善する。

【0087】次に、図36に示すように、酸化タンタル

膜32の上部に上部電極33を形成する。上部電極33は、例えば酸化タンタル膜32の上部にCVD法でRu膜33a（膜厚70nm程度）およびW膜33b（膜厚100nm程度）を堆積することによって形成する。W膜33bは、上部電極33と上層配線とのコンタクト抵抗を低減するために使用される。なお、Ru膜33aとW膜33bとの間に、キャパシタ絶縁膜（酸化タンタル膜32）からW膜へのガス（酸素や水素）の拡散による抵抗増大を防ぐためにTiN膜を形成してもよい。

【0088】ここまでの工程により、Ru膜30a、30bからなる下部電極30A、酸化タンタル膜32からなるキャパシタ絶縁膜およびW膜33b/Ru膜33aからなる上部電極32によって構成される情報蓄積用容量素子Cが完成し、メモリセル選択用MISFETQsとこれに直列に接続された情報蓄積用容量素子Cとで構成されるDRAMのメモリセルが略完成する。

【0089】その後、情報蓄積用容量素子Cの上部に酸化シリコン膜等からなる層間絶縁膜34が形成される。

【0090】さらに、この層間絶縁膜上に2層程度のA1配線が形成され、最上層のA1配線の上部にバッシベーション膜を形成されるがこれらの図示は省略する。

【0091】以上詳述したように、本実施形態によれば、孔27の底面において、自己整合的にルテニウムシリサイド323を形成することができ、容易のバリア層となるRuSiN323aを形成することができる。また、Ru膜をRu30aおよびRu30bの積層構造とし、Ru膜30a、30bそれぞれの成膜後に熱処理を施したので、Ru膜中の不純物を効果的に除去することができる。その結果、Ru膜の緻密化を図ることができる。

【0092】従って、実施の形態1の場合と同様に、Ru膜30a、30bと接触しているバリア層（323a）が、Ru膜30a、30b中の酸素の影響により酸化されるのを防止することができ、Ru膜30a、30bとバリア層323a（プラグ22）との導通を確保することができる。

【0093】また、Ru膜30a、30b（30A）が緻密化しているので、その上部に形成される酸化タンタル膜32の形成時に施される熱処理によってRu膜の収縮、変動を防止することができ、酸化タンタル膜32の歪みを低減することができる。その結果、リーク電流の低減を図ることができる。

【0094】なお、本実施の形態においては、Ru膜30aをシリサイド化し、ルテニウムシリコンナイトライド（RuSiN）323aを形成した後、Ru膜30bを形成したが、このRu膜30bを形成せず、Ru膜30aおよびルテニウムシリコンナイトライド（RuSiN）323a上（図32）に酸化タンタル膜32を形成してもよい。この場合、結晶化の種とならないRuSiN323a上には、非晶質の酸化タンタル膜32が成長

してしまう。しかしながら、情報蓄積用容量素子Cの容量のほとんどは、孔27側壁の結晶化した酸化タンタル膜32により確保することができるため、前述の非晶質の酸化タンタル膜の存在は、情報蓄積用容量素子Cの特性上、問題とならない。

【0095】（実施の形態4）次に、接着層とバリア層を同一層で形成する場合について説明する。

【0096】以下、本実施形態のDRAMの製造方法を図37～図46を用いて工程順に説明する。

【0097】図37は、本発明の実施の形態4である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。なお、図中のプラグ22形成工程までは、図1～図7までを参照しながら説明した実施の形態1の場合と同様であるためその説明を省略する。なお、本実施の形態では、プラグ22が埋め込まれる絶縁膜は、酸化シリコン膜17一層となっている。

【0098】図37に示すように、プラグ22および酸化シリコン膜17上に、窒化シリコン膜318および酸化シリコン膜24を堆積する。情報蓄積用容量素子Cの下部電極は、この窒化シリコン膜318および酸化シリコン膜24に形成する孔（凹部）の内部に形成される。下部電極の表面積を大きくして蓄積電荷量を増やすためには、酸化シリコン膜24を厚く（0.8μm程度）で堆積する必要がある。酸化シリコン膜24は、例えば酸素とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積し、その後、必要に応じてその表面を化学機械研磨法で平坦化する。

【0099】次に、酸化シリコン膜24の上部にタングステン膜からなるハードマスク26を形成する。なお、このハードマスク26には、タングステン以外の金属を用いることも可能である。

【0100】次いで、図38に示すように、ハードマスク26上に、フォトレジスト膜（図示せず）を形成し、このフォトレジスト膜をマスクに、ハードマスク26をドライエッチングする。続いて、ハードマスク26をマスクに酸化シリコン膜24および窒化シリコン膜18をドライエッチングすることにより、深い孔（凹部）27を形成する。深い孔（凹部）27の底面には、スルーホール19内のプラグ22の表面が露出する。次に、酸化シリコン膜24の上部に残ったハードマスク26を過酸化水素水を含有する溶液により除去した後、図39に示すように、酸化シリコン膜24の上部および孔27の内部に、CVD法により酸化タンタル膜28（膜厚5nm程度）を堆積する。この酸化タンタルは、Ta（OC₂H₅）₅とO₂を原料ガスとして400℃～450℃の範囲で成膜することができる。次いで、NH₃雰囲気下、700℃で、3分間熱処理を施し、酸化タンタルを窒化タンタルに変換する（図40）。この窒化タンタル膜29は、下地である酸化シリコン膜24や、後述するRu膜30との接着性に優れているため、接着層として用い

られる。また、窒化タンタルは導電性を有し、緻密であるため、後述するRu膜30aとプラグ22との接触界面で起こる不所望な反応を防止する、バリア層としての役割を果たす。

【0101】このように、本実施の形態によれば、接着層とバリア層の役割を果たす窒化タンタル膜29を単一の層で形成することができ、バリア層の形成工程を省略することができる。また、NH₃雰囲気下で熱処理を行うので、酸化タンタル膜28とプラグ22との接触界面に生じたシリコン酸化物を還元することができる。その結果、プラグ22上に生じたシリコン酸化物による導通不良を回避することができる。

【0102】次いで、図41に示すように、窒化タンタル膜29上に、CVD法によりRu膜30a（膜厚10nm程度）を堆積する。このCVD法によるRu膜30aの堆積前に、スパッタ法により薄いRu膜を形成しておけば、スパッタ法により形成された膜が種となり、CVD法によるRu膜30aを効率良く形成することができる。このRu膜30aは、エチルシクロペンタジエニルルテニウム（Ru（C₂H₅）₂）のテトラヒドロフラン溶液等のRuの有機化合物溶液を気化し、O₂と反応させることにより成膜する。次いで、NH₃雰囲気等の還元性雰囲気中で600℃、3分間の熱処理を施した後、非酸化性雰囲気中で750℃、2分間の熱処理を施す。

【0103】次に、図42に示すように、Ru膜30a上に、さらに、Ru膜30aと同様の成膜条件で、Ru膜30b（膜厚20nm程度）を堆積する。ここで、このRu膜30bは、不純物の含有量が少なく、緻密化されたRu膜30a上に形成されるため、Ru膜30bの緻密化のための熱処理（例えば、非酸化性雰囲気中で750℃、2分間の熱処理）を省略することが可能である。ただし、前述の緻密化のための熱処理を施せば、より特性が良くなる。

【0104】このように、本実施の形態においては、Ru膜をRu30aおよびRu30bの積層構造とし、Ru膜30aの成膜後に熱処理を施した後Ru膜30bを形成したので、Ru膜30a中の不純物を効果的に除去することができる。その結果、Ru膜30a、30bの緻密化を図ることができる。

【0105】次いで、Ru膜30b上にフォトレジスト膜（図示せず）を塗布し、全面露光を行った後、現像することによって、孔27内にフォトレジスト膜（図示せず）を残存させる。このフォトレジスト膜は、次の工程で酸化シリコン膜24の上部の不要なRu膜30a、30bをドライエッチングで除去する際に、孔27の内部（側壁および底面）のRu膜30a、30bが除去されるのを防ぐ保護膜として使用される。次いで、図43に示すように、このフォトレジスト膜をマスクに、ドライエッチングをすることにより、酸化シリコン膜24上のR

u膜30a、30bを除去することにより下部電極30Aを形成する。次いで、孔27内のフォトリソ膜を除去する。

【0106】次に、図44に示すように、下部電極30Aが形成された孔27の内部および酸化シリコン膜24上にキャパシタ絶縁膜となる酸化タンタル膜32aを堆積する。酸化タンタル膜32aはペンタエトキシタンタル($Ta(OC_2H_5)_5$)と酸素を原料としたCVD法で堆積し、成膜温度は420℃である。また、その膜厚は5nm程度とする。その後、非酸化性雰囲気中で700℃、2分間の熱処理を施し、酸化タンタルを結晶化させる。

【0107】次に、図45に示すように、酸化タンタル膜32a上に、さらに、酸化タンタル膜32bを堆積する。この酸化タンタル膜32bも酸化タンタル膜32aと同様の条件で堆積し、その膜厚は10nm程度とする。ここで、酸化タンタル膜32bは、その下地である酸化タンタル膜32aが、既に結晶化しているため、CVD法による成膜時に結晶化しているため、結晶化のための熱処理を省略することができる。

【0108】次に、図46に示すように、酸化タンタル膜32の上部に上部電極33を形成する。上部電極33は、例えば酸化タンタル膜32の上部にCVD法でRu膜33a(膜厚70nm程度)およびW膜33b(膜厚100nm程度)を堆積することによって形成する。W膜33bは、上部電極33と上層配線とのコンタクト抵抗を低減するために使用される。なお、Ru膜33aとW膜33bとの間に、キャパシタ絶縁膜(酸化タンタル膜32)からW膜へのガス(酸素や水素)の拡散による抵抗増大を防ぐためにTiN膜を形成してもよい。

【0109】ここまでの工程により、Ru膜30a、30bからなる下部電極30A、酸化タンタル膜32a、32bからなるキャパシタ絶縁膜32およびW膜33b/Ru膜33aからなる上部電極33によって構成される情報蓄積容量素子Cが完成し、メモリセル選択用MISFETQsとこれに直列に接続された情報蓄積容量素子Cとで構成されるDRAMのメモリセルが略完成する。

【0110】その後、情報蓄積容量素子Cの上部に酸化シリコン膜等からなる層間絶縁膜34が形成され、さらに、この層間絶縁膜上に2層程度のAl配線が形成され、最上層のAl配線の上部にパッシベーション膜が形成されるがこれらの図示は省略する。

【0111】以上詳述したように、本実施形態によれば、接着層とバリア層の役割を果たす窒化タンタル膜29を単一の層で形成することができ、バリア層の形成工程を省略することができる。また、下部電極30AとなるRu膜をRu30aおよびRu30bの積層構造とし、Ru膜30aの成膜後に熱処理を施したので、Ru膜30a中の不純物を効果的に除去することができる。

その結果、Ru膜30a、30bの緻密化を図ることができる。

【0112】従って、実施の形態1の場合と同様に、Ru膜30aと接触している窒化タンタル膜29が、Ru膜中の酸素の影響により酸化されるのを防止することができ、Ru膜30a、30bと窒化タンタル膜29(プラグ22)との導通を確保することができる。

【0113】また、Ru膜30a、30bが緻密化しているので、その上部に形成される酸化タンタル膜32a、32bの形成時の熱処理時のRu膜の収縮、変動を防止することができ、酸化タンタル膜の歪みを低減することができる。その結果、リーク電流の低減を図ることができる。

【0114】以上、本発明者によってなされた発明を実施の形態に基づいて具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0115】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0116】本発明によれば、Ru膜中に取り込まれた酸素や有機不純物を取り除くことができる。また、Ru膜の緻密化を行うことができる。

【0117】従って、Ru膜と接触しているバリア層が、Ru膜中の酸素の影響により酸化されるのを防止ことができ、Ru膜とバリア層(プラグ)との導通を確保することができる。

【0118】また、Ru膜が緻密化しているので、その上部に形成される酸化タンタル等の容量絶縁膜の形成時に施される熱処理によるRu膜の収縮、変動を防止することができ、酸化タンタル膜の歪みを低減することができ、リーク電流の低減を図ることができる。

【0119】その結果、情報蓄積容量素子の下部電極を構成するRu膜を精度良く形成することができる。また、良好なRu膜を形成することによりその上層に形成される容量絶縁膜の特性の向上、ひいては、情報蓄積容量素子の特性の向上を図ることができる。また、DRAM等の半導体集積回路装置の製造歩留まりを向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図2】本発明の実施の形態1である半導体集積回路装置の製造方法を示す半導体基板の要部平面図である。

【図3】本発明の実施の形態1である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図4】本発明の実施の形態1である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

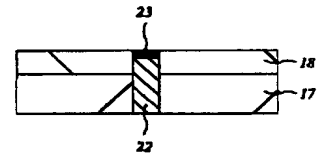
- 15 スルーホール
- 16 プラグ
- 17 酸化シリコン膜
- 18 窒化シリコン膜
- 19 スルーホール
- 20 多結晶シリコン膜
- 21 サイドウォールスペーサ
- 22 プラグ
- 23 バリア層
- 24 酸化シリコン膜
- 26 ハードマスク
- 27 孔 (凹部)
- 28 酸化タンタル膜
- 28 a、28 b 酸化タンタル膜
- 29 窒化タンタル膜
- 30 a、30 b Ru膜

【図 1】

- 30 a、30 b Ru膜
- 30 A 下部電極
- 31 フォトレジスト膜
- 32 酸化タンタル膜
- 32 a、32 b 酸化タンタル膜
- 33 上部電極
- 33 a Ru膜
- 33 b W膜
- 232 a 窒化タンタル膜
- 10 318 窒化シリコン膜
- 34 層間絶縁膜
- BL ビット線
- C 情報蓄積用容量素子
- L 活性領域
- Qs メモリセル選択用MISFET
- WL ワード線

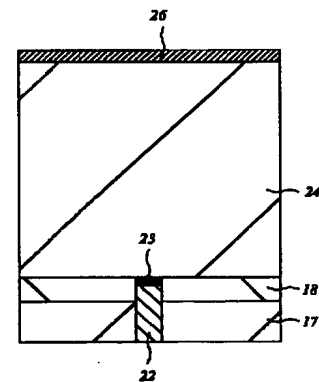
【図 8】

図 8



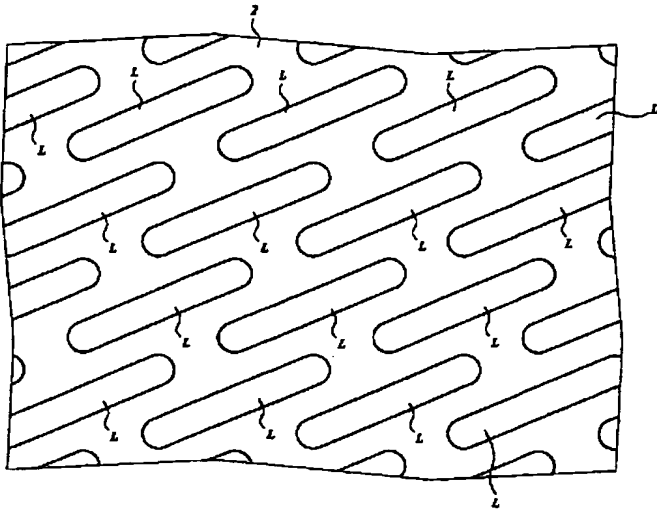
【図 9】

図 9



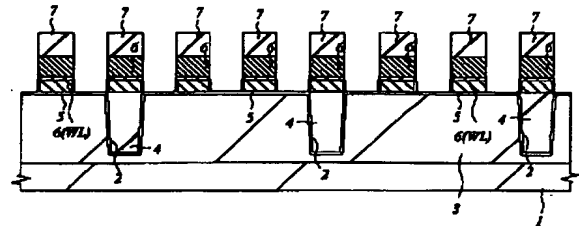
【図 2】

図 2



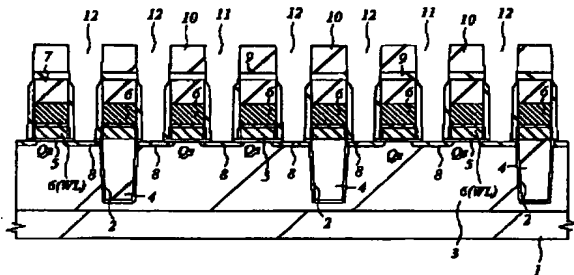
【図 3】

図 3



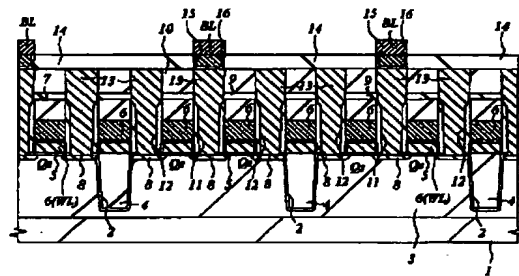
【図 4】

図 4



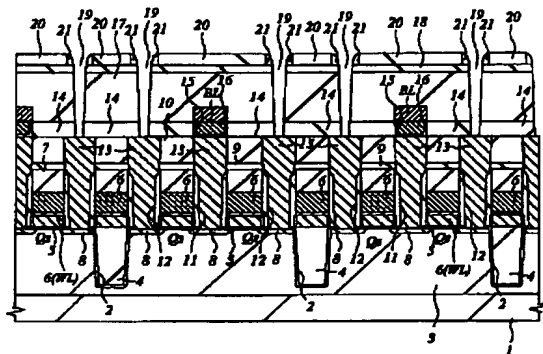
【図 5】

図 5



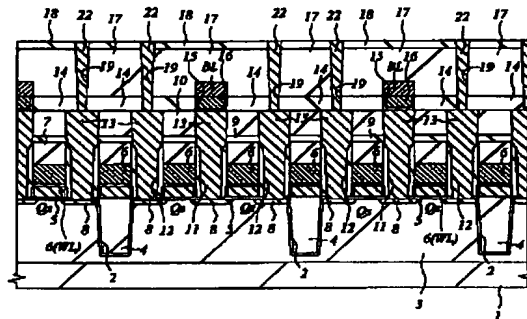
【図6】

図 6



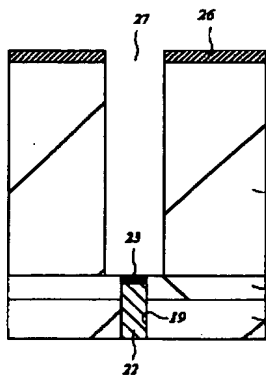
【図7】

図 7



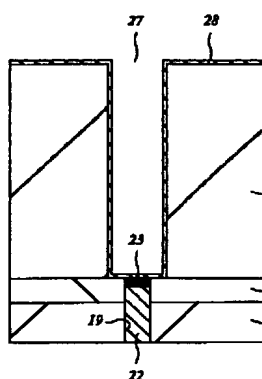
【図10】

図 10



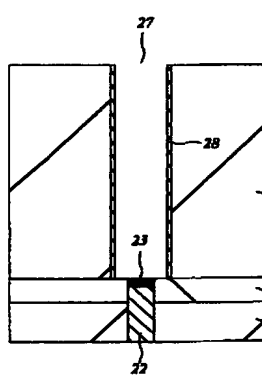
【図11】

図 11



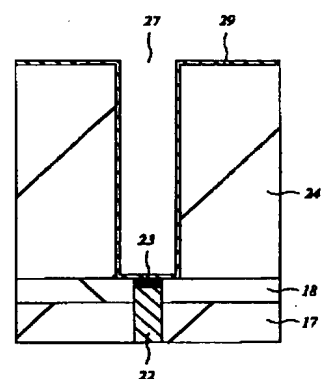
【図12】

図 12



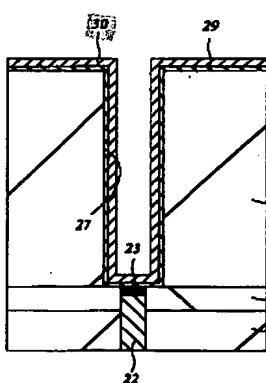
【図13】

図 13



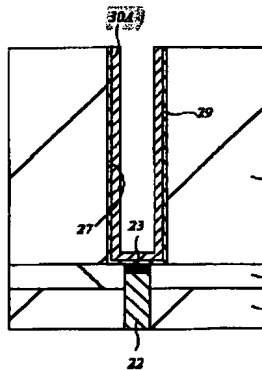
【図14】

図 14



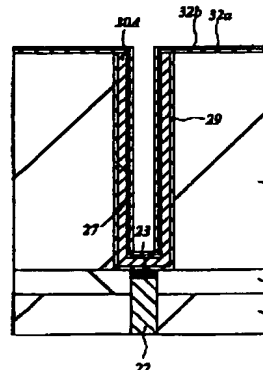
【図15】

図 15



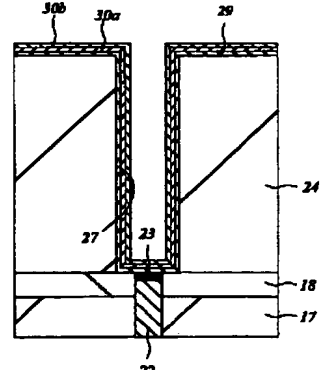
【図17】

図 17

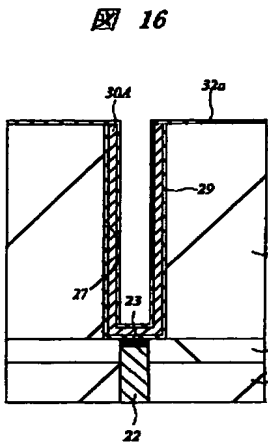


【図20】

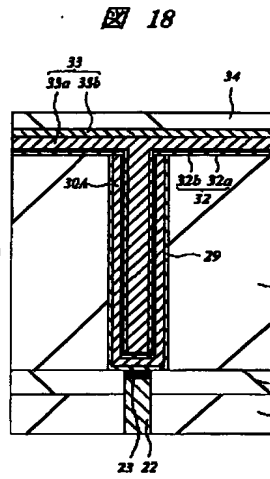
図 20



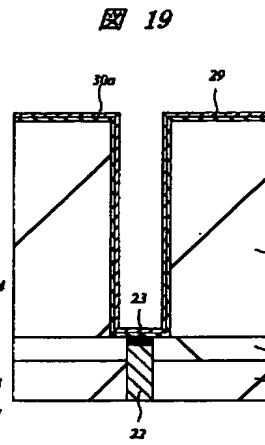
【図 16】



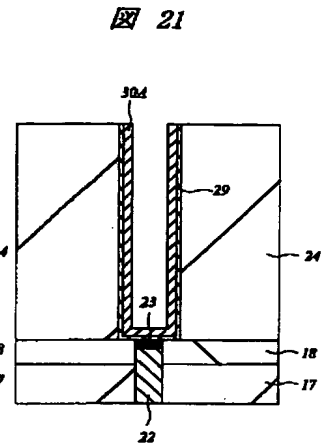
【図 18】



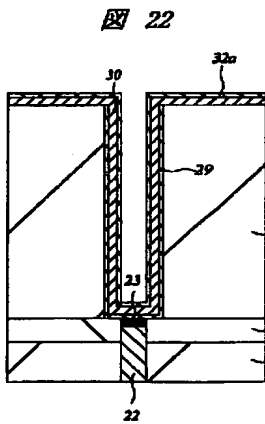
【図 19】



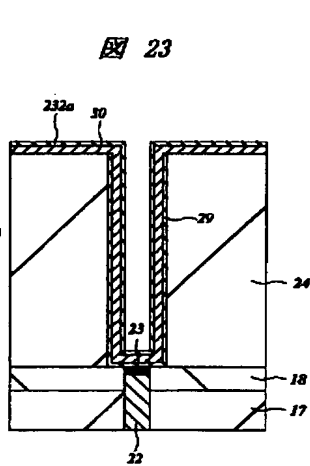
【図 21】



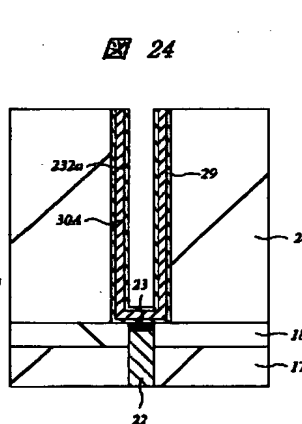
【図 22】



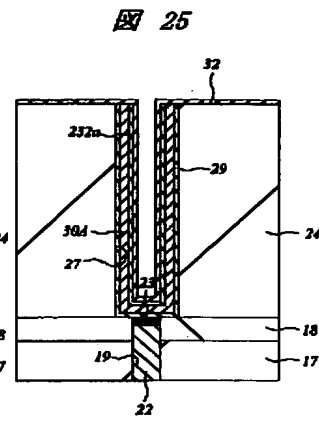
【図 23】



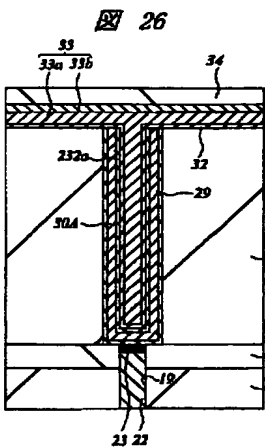
【図 24】



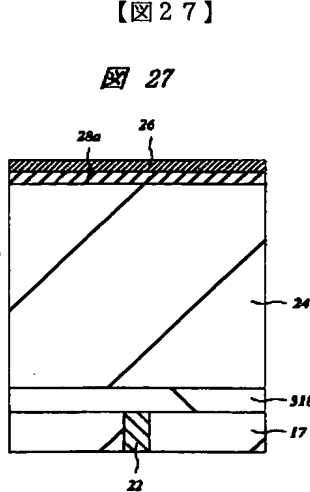
【図 25】



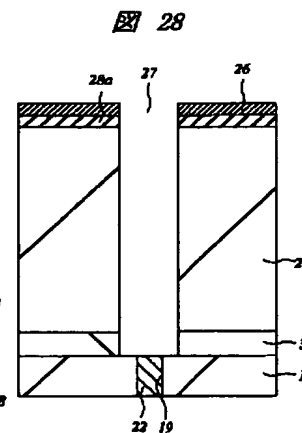
【図 26】



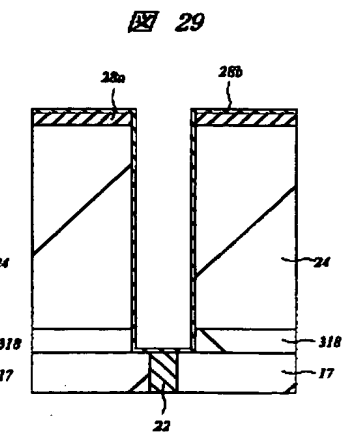
【図 27】



【図 28】

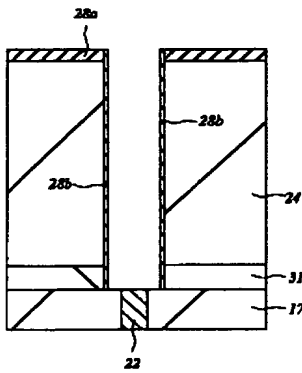


【図 29】



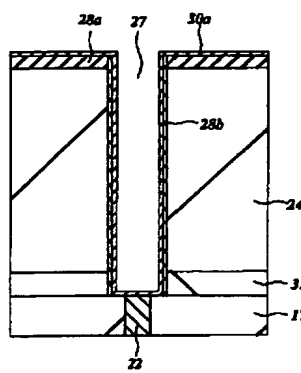
【図 30】

図 30



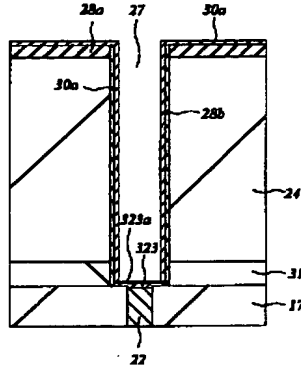
【図 31】

図 31



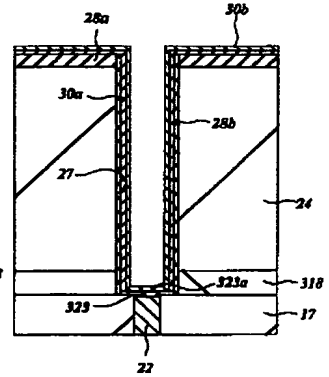
【図 32】

図 32



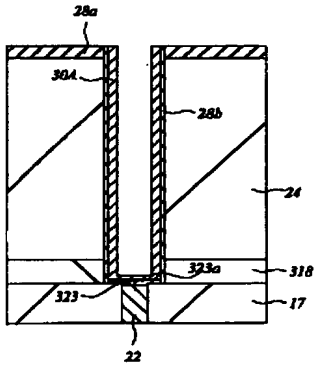
【図 33】

図 33



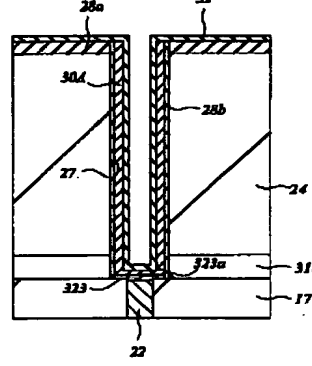
【図 34】

図 34



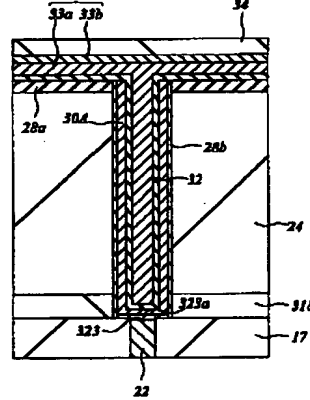
【図 35】

図 35



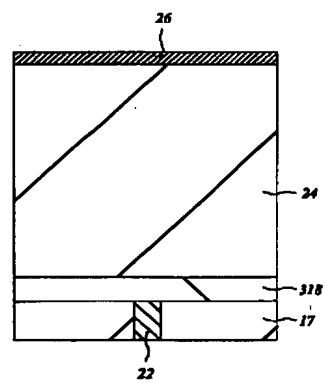
【図 36】

図 36



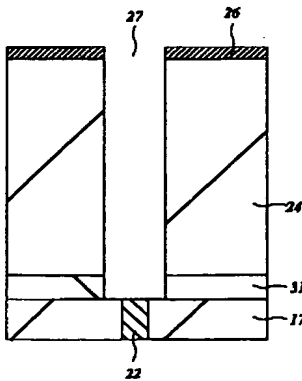
【図 37】

図 37



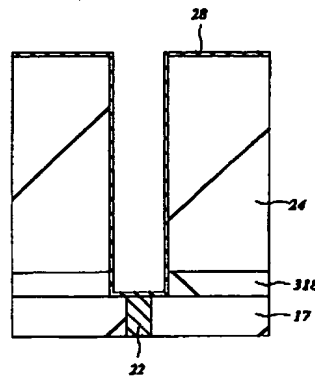
【図 38】

図 38



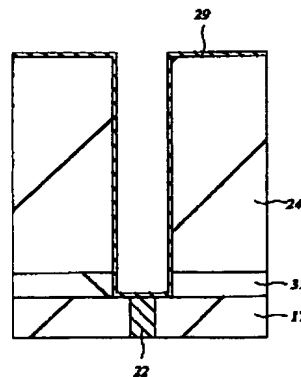
【図 39】

図 39



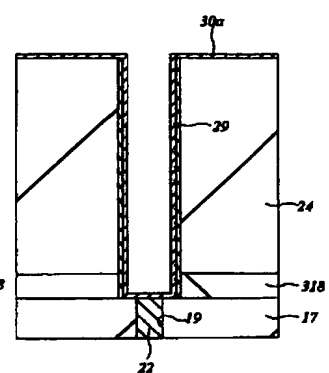
【図 40】

図 40



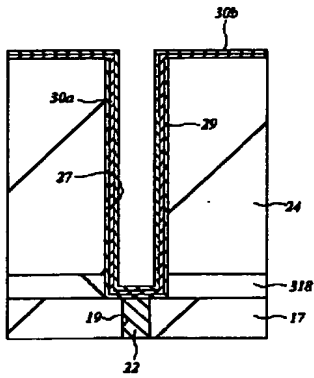
【図 41】

図 41



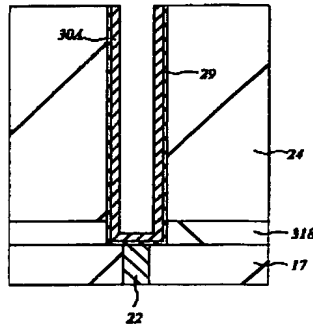
【図 42】

図 42



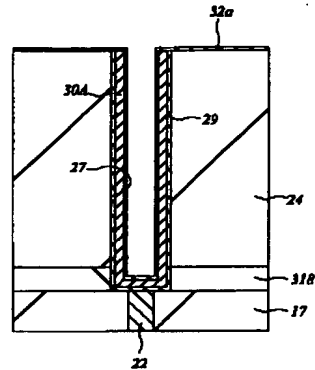
【図 43】

図 43



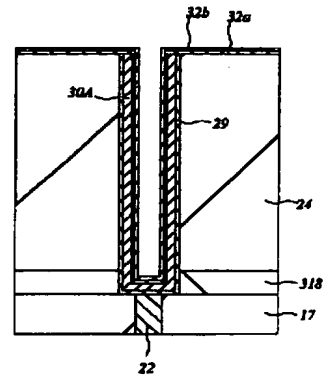
【図 44】

図 44



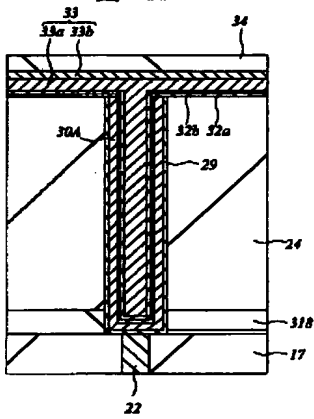
【図 45】

図 45



【図 46】

図 46



【図 47】

図 47

